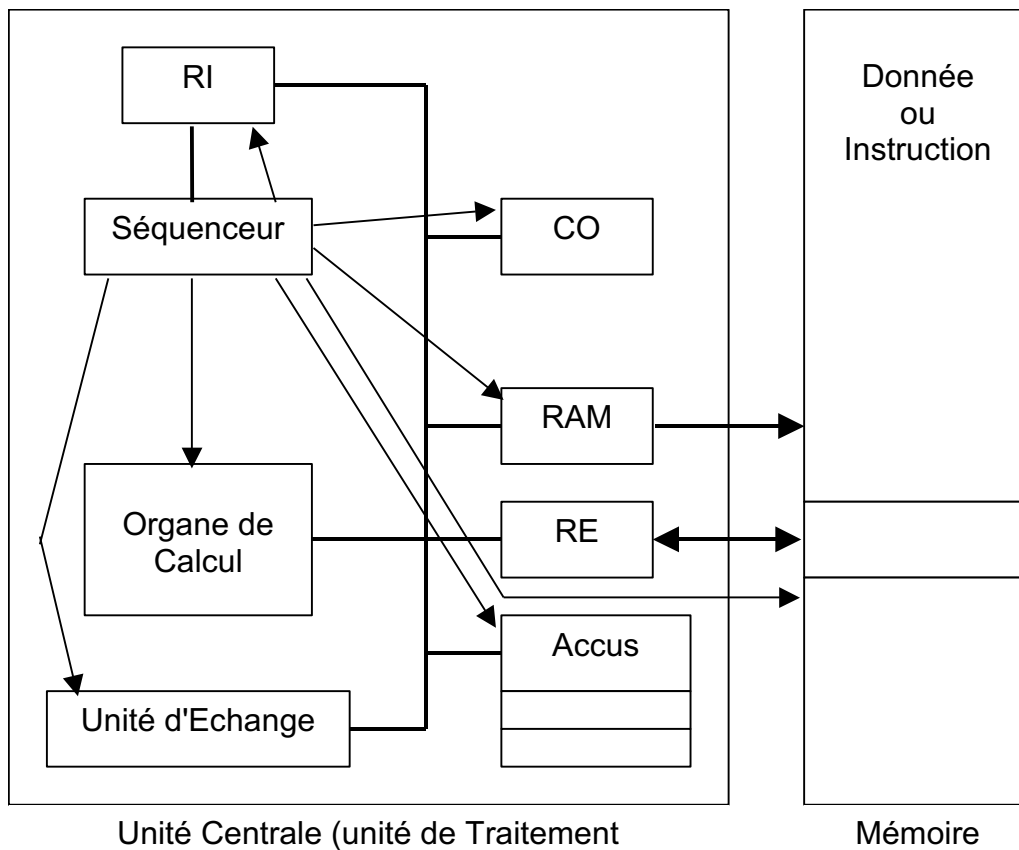


TD 2&3

Architecture

A. RAPPELS DE COURS

1. Unité Centrale



RI contient l'instruction en cours d'exécution (il mémorise sa combinaison).

CO contient l'adresse de l'instruction à faire ou en cours.

Accus contiennent les données en cours de traitement (nombres, caractères, ...).

RAM contient l'adresse de l'emplacement du mot échangé entre l'UC et la mémoire.

RE contient le mot échangé entre l'UC et la mémoire.

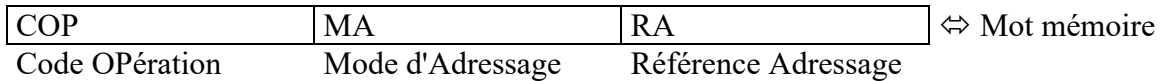
2. Séquenceur

Le séquenceur est l'organe qui envoie les signaux à tous les autres modules en fonction de l'instruction à exécuter.

Exemple de séquence :

- Charger le RI avec le mot mémoire dont l'adresse est donnée par CO.
 - Suivant la valeur du mot (code instruction), activer les ordres de sélection sur les registres, l'organe de calcul, ...
 - Positionner le CO à l'adresse de la prochaine instruction à exécuter.
- Cycle ←
- Fetch ←

3. Format des instructions

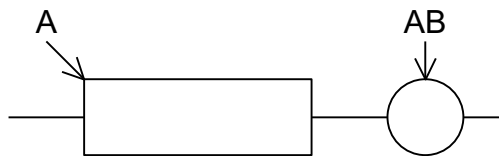


4. Deux concepts importants

- L'instruction ne doit agir que sur les accus qui la concerne et doit conserver les autres intacts. Ce n'est pas toujours le cas car suivant les structures il peut arriver que peu de registres soient disponibles.
- Par contre les autres registres peuvent ou non être modifiés selon leur nature (CO, RE, RAM)

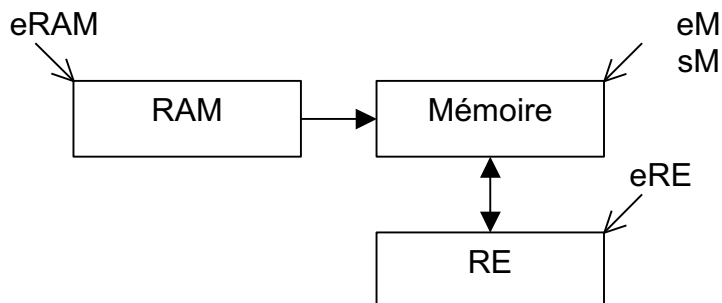
5. Présentation des structures

Registre



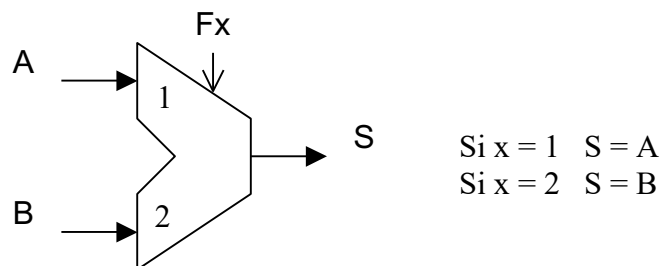
A : Ecriture du contenu du bus sur le registre
 AB : Libération du contenu du registre sur le bus.

Echange avec la mémoire

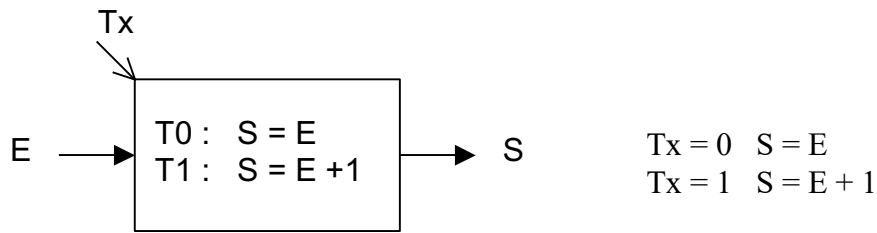


sM : Lecture de la mémoire et écriture du contenu dans RE.
 eM : Ecriture du contenu de RE dans la mémoire.

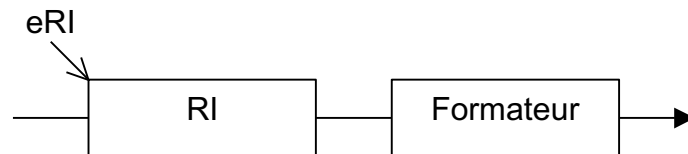
Multiplexeur



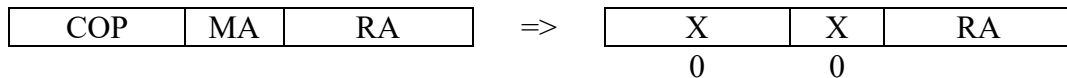
Opérateur



Formateur



Il permet d'accéder directement à la référence d'adressage (RA). Comme les mots mémoire ont un nombre de bits fixé, les bits relatifs au COP et au MA sont tous à 0 par exemple (suivant le constructeur)



6. Signaux

Pulse à T/2

- Ecriture des registres
- Signaux de commande de la mémoire



Structure S1 : Si eCO signal à niveau, COB à niveau et T1, le registre CO va subir une perpétuelle incrémentation et on ne pourra pas accéder à l'adresse de l'instruction désirée.

A niveau

-> Tous les autres signaux



Représentation des différentes phases des signaux

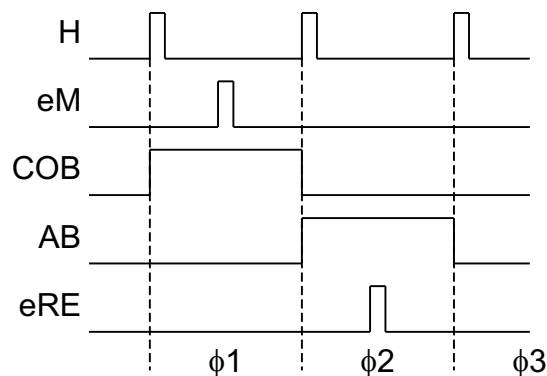
a.

$\phi 1$: eM, COB, ...

$\phi 2$: AB, eRE, ...

$\phi 3$: ...

b. Chronogramme



B. QUESTIONS

Exercice 1 : Cycle Fetch

Exercice 2 : Mode d'Adressage Immédiat

LOAD A, IMM, valeur

Exercice 3 : Mode d'Adressage Direct

STORE A, DIRECT, RA

LOAD A, DIRECT, RA

ADD B, DIRECT, RA

Exercice 4 : Mode d'Adressage Indirect

LOAD A, INDIRECT, RA

Exercice 5 : Mode d'Adressage Relatif

LOAD A, Relatif, RA

Exercice 6 : Mode d'Adressage Indéxé

STORE A, INDEXE, RA

Exercice 7 : Instruction JUMP

JUMP, Direct, RA

JUMP Conditionnel, Relatif, RA

Exercice 8 : Adressage étendue

LOAD A, IMM ET, valeur

LOAD A, DIRECT ET, valeur

...